



Attorney Docket No. 1514.1006

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

Keum-Nam KIM

Application No.: 10/038,772

Group Art Unit: 2813

Filed: January 8, 2002

Examiner: Jennifer M. DOLAN

For: FLAT PANEL DISPLAY DEVICE AND METHOD OF MANUFACTURING THE SAME

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN
APPLICATION IN ACCORDANCE
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant submits herewith a certified copy of the following foreign application:

Korean Patent Application No. 2001-19915

Filed: April 13, 2001

It is respectfully requested that the applicant be given the benefit of the foreign filing date as evidenced by the certified papers attached hereto, in accordance with the requirements of 35 U.S.C. § 119.

Respectfully submitted,

STEIN, MCEWEN & BUI, LLP

Date: 3/23/05

By: John H. Stowe
John H. Stowe
Registration No. 32,863

1400 Eye St., NW
Suite 300
Washington, D.C. 20005
Telephone: (202) 216-9505
Facsimile: (202) 216-9510

CERTIFIED COPY OF
PRIORITY DOCUMENT

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 특허출원 2001년 제 19915 호
Application Number PATENT-2001-0019915

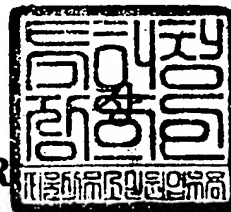
출원년월일 : 2001년 04월 13일
Date of Application APR 13, 2001

출원인 : 삼성에스디아이 주식회사
Applicant(s) SAMSUNG SDI CO., LTD.

2002 년 03 월 15 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2001.04.13
【발명의 명칭】	평판 표시 장치 및 그 제조 방법
【발명의 영문명칭】	Plat panel display device and method for fabricating t same
【출원인】	
【명칭】	삼성에스디아이 주식회사
【출원인코드】	1-1998-001805-8
【대리인】	
【성명】	박상수
【대리인코드】	9-1998-000642-5
【포괄위임등록번호】	2000-055227-0
【발명자】	
【성명의 국문표기】	김금남
【성명의 영문표기】	KIM,KEUM NAM
【주민등록번호】	690804-1649011
【우편번호】	130-032
【주소】	서울특별시 동대문구 답십리2동 21-1
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대 리인 박상 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	6 면 6,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	0 항 0 원
【합계】	35,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 적어도 한 개 이상의 TFT를 갖는 평판 표시장치에 관한 것으로, 절연기판의 상부면에 반도체층을 형성하기 전에 빛을 투과시키는 투명한 금속을 먼저 증착하여 화소용 전극을 형성하고, 화소용 전극을 덮는 여러층의 절연막들을 화소용 컨택홀을 형성하는 공정에서 모두 제거한다. 그러면, 화소용 전극의 하부에 빛을 반사시키는 물질들이 없기 때문에 빛의 효율성이 향상될 수 있다.

또한, 반도체층과 소스/드레인 전극을 연결시키는 컨택홀을 형성할 때 드레인 전극과 화소용 전극을 연결시키는 컨택홀을 함께 형성함으로써 TFT를 제조하는데 사용되는 마스크의 개수를 줄인다. 그러므로, 평판 표시장치의 공정시간이 단축되고, 제조 공정 수가 줄어들어 제품의 수율을 향상시킬 수 있다.

【대표도】

도 9

【색인어】

TFT, 유기 전계 발광 소자, 충전용 캐패시터, 애노드 전극, 소스/드레인 전극, 마스크, 빛의 효율, 화소용 컨택홀

【명세서】**【발명의 명칭】**

평판 표시 장치 및 그 제조 방법{Flat panel display device and method for fabricating the same}

【도면의 간단한 설명】

도 1은 본 발명에 의한 유기 전계 발광 표시장치 중 화상을 표시하는 화소부분을 개념적으로 도시한 개념도.

도 2a와 도 2b는 본 발명에 의한 버퍼층과 애노드 전극을 형성하는 과정을 나타낸 단면도.

도 3a와 도 3b는 본 발명에 의한 반도체층이 형성된 상태를 나타낸 단면도.

도 4는 본 발명에 의한 게이트 절연막이 형성된 상태를 나타낸 단면도.

도 5a와 도 5b는 본 발명에 의한 게이트 전극을 형성하는 과정을 나타낸 단면도.

도 6은 본 발명에 의한 층간 절연막에 콘택홀이 형성된 상태를 나타낸 단면도.

도 7a 및 도 7b는 본 발명에 의한 소스/드레인 전극을 형성하는 과정을 나타낸 단면도.

도 8은 본 발명에 의한 평탄화 보호막 및 평탄화 보호막에 애노드 전극을 노출시키는 화소용 콘택홀이 형성된 상태를 나타낸 단면도.

도 9는 본 발명에 의한 유기 전계 발광 소자가 형성된 상태를 나타낸 단면도.

도 10은 도 1을 X-X선으로 절단한 단면도.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <11> 본 발명은 평판 표시장치 및 그 제조 방법에 관한 것으로, 더욱 상세하게는 화소 전극을 반도체층보다 먼저 형성하고 화소 전극을 덮는 절연막들에 컨택홀을 뚫어 매질이 서로 다른 절연막들로 인해 빛의 투과율이 저하되는 것을 방지함과 아울러 마스크의 사용 개수를 줄이기 위한 평판 표시장치 및 그 제조 방법에 관한 것이다.
- <12> 일반적으로 사용되고 있는 표시장치들 중의 하나인 음극선관(CRT:cathode ray tube)은 텔레비전을 비롯해서 계측기기, 정보 단말기기 등의 모니터에 주로 이용되고 있으나, CRT 자체의 무게와 크기로 인하여 전자 제품의 소형화, 경량화의 요구에 적극 대응할 수 없다.
- <13> 이러한 CRT를 대체하기 위해 소형, 경량화의 장점을 가지고 있는 평판 표시 장치가 주목받고 있다. 평판 표시장치 중에서도 LCD 패널 내부에 주입된 액정의 전기 광학적 성질을 이용하여 정보를 표시하는 액정표시장치(Liquid Crystal Display) 및 전류의 흐름에 의해 유기 물질이 자체 발광하는 유기 전계 발광 표시장치 등이 활발하게 개발되고 있으며, 현대 사회가 정보 사회화 되어감에 따라 액정표시장치 및 유기 전계 발광 표시장치의 중요성은 점차 증대되는 추세에 있다.
- <14> 최근에는 액정 표시장치에 비해 유기 전계 발광 표시장치가 평판 표시장치로서 주목받고 있다. 이는 유기 전계 발광 소자는 스스로 발광하기 때문에 액정표시장치에서는 필요한 백라이트 어셈블리가 필요 없어 LCD 보다 유기 전계 발광 표시장치를 경량화 박형화

시킬 수 있고, 시야각에도 제한이 없어 차세대의 평판 표시장치로서 주목받고 있는 것이다.

<15> 한편, 유기 전계 발광 소자와 이를 구동시키는 박막 트랜지스터를 접목시킨 유기 전계 발광 표시장치의 개발이 활발히 진행되고 있다.

<16> 이와 같이 유기 전계 발광 소자와 스위칭 소자인 박막 트랜지스터(이하, TFT라 함)를 구비한 유기 전계 발광 표시소자는 크게 매트릭스 형태로 배열되는 신호선들과, 신호선들의 교차영역에 형성되는 제 1 및 제 2 TFT와, 충전용 캐패시터 및 빛을 자체적으로 발산하는 유기 전계 발광 소자로 구성된다.

<17> 여기서, 신호선들은 데이터선들과, 각 데이터선들에 평행하게 형성되는 전원인가선들 및 데이터선들과 전원인가선에 교차되도록 형성되는 게이트선들로 구성되고, 제 1 및 제 2 TFT는 크게 게이트 전극, 반도체층 및 소스 전극으로 구성된다. 그리고, 충전용 캐패시터는 제 1 전극, 유전체 및 제 2 전극으로 구성되며, 유기 전계 발광 소자는 애노드 전극, 발광 소자층 및 캐소드 전극으로 구성된다.

<18> 이와 같이 구성된 유기 전계 발광 표시소자의 제조 방법을 개략적으로 설명하면 다음과 같다.

<19> 먼저, 유리나 합성 수지 등으로 이루어진 투명한 절연 기판 상에 폴리 실리콘을 도포하고 이를 패터닝하여 제 1 TFT와 제 2 TFT가 형성될 소정부분에 반도체층을 형성한다. 그리고 반도체층이 형성되면 반도체층의 상부에 제 1 절연막을 형성한다.

<20> 이후에, 제 1 절연막의 상부면에 게이트 메탈을 증착시키고 이를 패터닝함으로써, 제 1 절연막의 상부면 중에서 반도체층이 형성된 소정부분과 대응되는 부분에 게이트 전

극을 형성하고, 제 1 TFT와 제 2 TFT가 형성될 영역 사이의 공간에 제 1 전극을 넓게 형성한다.

<21> 이어, 게이트 전극 및 제 1 전극의 상부에 제 2 절연막을 도포하고, 제 2 절연막 중에서 반도체층의 양측 단부에 대응되는 부분과, 제 1 전극의 일측 단부와 대응되는 부분에 컨택홀을 형성함으로써, 반도체층과 제 1 전극의 소정부분을 제 1 및 제 2 절연막의 외부로 노출시킨다.

<22> 계속해서, 제 2 절연막의 상부면에 소스/드레인 메탈을 증착시키고, 이를 패터닝하여 소스/드레인 전극 및 충전용 제 2 전극을 형성한다. 여기서, 소스/드레인 메탈이 증착될 때 컨택홀이 채워지므로 소스/드레인 전극과 반도체층이 전기적으로 연결되고, 제 1 전극은 드레인 전극과 전기적으로 연결된다. 그리고, 제 2 전극은 제 1 전극이 형성된 부분에 형성되며, 제 1 및 제 2 전극 사이에 형성된 제 2 절연막이 충전용 캐패시터의 유전체 역할을 한다.

<23> 소스/드레인 전극 및 제 2 전극이 형성되면, 이들 상부에 제 3 절연막을 코팅하고, 제 3 절연막 중에서 제 2 TFT의 소스 전극과 대응되는 부분에만 컨택홀을 형성함으로써, 소스 전극의 소정 부분을 제 3 절연막의 외부로 노출시킨다.

<24> 이후에, 투명한 금속, 예를 들어 ITO 금속을 제 3 절연막의 상부면에 증착시킨 후에 ITO 금속을 패터닝하여 제 1 및 제 2 TFT와 충전용 캐패시터가 형성되지 않은 나머지 부분에 플러스 전원이 인가되는 애노드 전극을 형성한다. 이때, 컨택홀을 통해서 소스 전극과 애노드 전극이 전기적으로 연결된다.

- <25> 이와 같이 애노드 전극이 형성되면, 애노드 전극의 상부에 평탄화 보호막을 형성하고, 평탄화 보호막 중에서 애노드 전극이 형성된 부분과 대응되는 부분에 소정 크기를 갖는 컨택홀을 형성하여 애노드 전극을 평탄화 보호막의 외부로 노출시킨다.
- <26> 이후에, 컨택홀이 형성된 부분에 소정의 색을 갖는 유기 물질을 증착함으로써 전류의 흐름에 의해 적색, 녹색, 청색의 빛을 자체적으로 발산시키는 발광 소자층을 형성한다.
- <27> 이어, 발광 소자층의 상부에 캐소드 메탈을 증착시켜 마이너스 전원이 공급되는 캐소드 전극을 형성한다.
- <28> 한편, 신호선들 중에서 게이트선은 게이트 전극 및 제 1 전극이 형성될 때 함께 형성되고, 데이터선들 및 전원인가선들은 소스/드레인 전극과 제 2 전극이 형성될 때 함께 형성된다.
- <29> 이러한 과정을 진행하여 TFT 및 유기 전계 발광 소자를 형성하려면 최소 7매의 마스크가 필요하다.
- <30> 즉, 반도체층을 형성하는 공정, 게이트 전극 및 제 1 전극을 형성하는 공정, 제 1 절연막과 제 2 절연막의 소정부분에 컨택홀을 형성하는 공정, 소스/드레인 전극과 제 2 전극을 형성하는 공정, 제 3 절연막의 소정부분에 컨택홀을 형성하는 공정, 애노드 전극을 형성하는 공정 및 평탄화 보호막에 컨택홀을 형성하는 공정 등에서 마스크가 사용된다.

- <31> 이와 같이 많은 개수의 마스크가 사용되고 소스/드레인 전극과 애노드 전극을 절연시키는 제 3 절연막이 반드시 형성되어야 하므로 유기 전계 발광 표시장치의 공정시간이 증가되고, 공정 수 및 마스크 제작비용으로 인해 제품의 가격이 상승되는 문제점이 있다.
- <32> 또한, 투명한 금속을 에칭하여 애노드 전극을 형성할 때 투명한 금속을 에칭하는 에칭용액이 하부막인 소스 전극/드레인 전극으로 스며들어 전극을 손상시키는 문제점이 있다.
- <33> 그리고, 발광 소자층에서 발생된 빛이 투명한 애노드 전극과 애노드 전극의 하부에 형성된 3개의 절연막, 즉 제 3, 제 2, 제 1 절연막들을 통과하는 동안 매질이 서로 다른 절연막들의 경계면에서 애노드 전극을 투과한 빛들이 반사되어 빛의 투과율이 저하되는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

- <34> 따라서, 본 발명의 목적은 유기 전계 발광 표시장치를 형성할 때 사용되는 마스크의 개수를 줄이는데 있다.
- <35> 본 발명의 다른 목적은 투명한 금속을 에칭하여 애노드 전극을 형성하는 에칭용액으로부터 소스/드레인 전극을 보호하는데 있다.
- <36> 본 발명의 또 다른 목적은 발광 소자층에서 발생된 빛이 기판의 외부로 투과되는 동안 손실되는 빛을 최소화하여 빛의 효율성을 향상시키는데 있다.
- <37> 본 발명의 또 다른 목적은 다음의 상세한 설명과 첨부된 도면으로부터 보다 명확해질 것이다.

【발명의 구성 및 작용】

<38> 이와 같은 목적을 달성하기 위해서 본 발명은 기판의 상부면에 빛을 투과시켜 정보를 표시하는 화소전극을 형성한 후에 화소전극을 덮도록 기판의 전면에 실리콘을 도포하고 이를 패터닝하여 반도체층을 형성하며, 화소전극과 반도체층을 덮도록 층간 절연막인 게이트 절연막을 형성하고, 게이트 절연막의 상부면 중에서 반도체층과 대응되는 부분에 게이트 전극을 형성하고, 게이트 전극을 덮도록 기판의 전면에 층간절 연막인 층간 절연막을 형성한 후에 층간 절연막 중에서 화소전극의 소정부분과 반도체층의 양측 단부 소정부분과 대응되는 부분에 콘택홀을 형성하고, 소스 드레인 상부면에 소스 드레인 메탈을 증착하고 이를 패터닝하여 화소전극 및 반도체층에 연결되는 소스/드레인 전극을 형성하며, 소스 드레인 전극의 상부면에 평탄화 절연막을 형성하고 평탄화 절연막 중에서 화소전극과 대응되는 부분에 화소용 콘택홀을 뚫어 화소전극을 덮고 있던 게이트 절연막과 층간 절연막 및 평탄화 절연막의 외부로 화소전극을 노출시킨다.

<39> 바람직하게, 화소전극을 형성하는 공정, 반도체층을 형성하는 공정, 게이트 전극을 형성하는 공정, 층간 절연막에 콘택홀을 뚫는 공정, 소스/드레인 전극을 형성하는 공정 및 평탄화 절연막으로부터 게이트 절연막을 뚫는 화소용 콘택홀을 형성하는 공정에서 마스크가 사용된다.

<40> 이하, 적어도 하나 이상의 TFT를 갖는 평판 표시 소자들 중에서 빛을 자체적으로 발산하는 유기 전계 발광 표시소자를 예로 들어 그 구조 및 제조 방법에 대해서 첨부된 도면 도 1 내지 도 10을 참조하여 설명하면 다음과 같다.

<41> 본 발명에 의한 유기 전계 발광 표시장치(300)는 도 1과 도 9에 도시된 바와 같이 크게 빛을 투과시키는 절연기판(105)과, 절연기판(105)의 상부면에 매트릭스 형태로 배열

되는 복수개의 신호선들과, 신호선들의 교차영역에 각각 형성되는 화소들(130)로 구성된다.

<42> 신호선들은 도 1에 도시된 바와 같이 데이터 전압을 인가하는 데이터선들(102)과, 각 데이터선들(102)에 인접하여 데이터선들(102)과 평행하게 형성되고 유기 전계 발광 표시장치(300)가 구동하는 동안에 항상 전원이 인가되는 전원인가선들(103) 및 데이터선들(102)과 전원인가선들(103)에 수직으로 교차되며 TFT 온/오프 신호를 인가하는 게이트선들(101)로 구성된다.

<43> 데이터선들(102)과 전원인가선들(103) 및 게이트선들(101)의 교차영역에 형성되는 각 화소영역(130)의 내부에는 2개의 TFT(110,200)와 충전용 캐패시터(170) 및 빛을 자체적으로 발산하는 유기 전계 발광 소자(300)로 구성된다.

<44> 도 1에 도시된 바와 같이 2개의 TFT(110,200) 중 제 1 TFT(110)는 게이트선들(101)에 인접하여 형성되고 유기 전계 발광 표시장치(300)가 한 프레임 동안 그 화상을 유지할 수 있도록 충전용 캐패시터(170)를 채우는 부분으로, 크게 반도체층(120)과, 반도체층(120)의 상부면 소정부분에 형성되며 게이트선(101)에 접속되어 TFT 온/오프 신호를 인가하는 게이트 전극(140)과, 데이터선(102)에 접속되어 데이터 신호가 인가되며 컨택홀을 통해 반도체층(120)의 일측단부에 연결되는 소스 전극(160) 및 컨택홀들(255)을 통해 반도체층(120)의 타측단부와 충전용 캐패시터(170)에 연결되어 충전용 캐패시터(170)에 구동전압을 인가하는 드레인 전극(165)으로 구성된다.

<45> 충전용 캐패시터(170)는 제 1 TFT(110)와 제 2 TFT(200) 사이의 소정 공간에 형성되어 한 프레임 동안 제 2 TFT(200)를 구동시키는데 필요한 구동전압을 저장하는 것으로, 도 10을 참조하면 제 1 TFT(110)의 드레인 전극(165)과 접속되며 소정면적을 갖는 제 1

전극(173), 전원인가선(103)에 접속되는 제 2 전극(177) 및 제 1 전극(173)과 제 2 전극(177) 사이에 형성되는 유전체(175)로 구성된다.

<46> 그리고, 제 2 TFT(200)는 화소영역 중 충전용 캐패시터(170)의 아래쪽에 형성되며 유기 전계 발광 소자(300)를 구동시키는 전류를 공급하는 부분으로, 크게 반도체층(220)과, 반도체층(220)의 상부면 소정부분에 형성되고 제 1 전극(173)에 접속되어 TFT 온/오프 신호를 인가하는 게이트 전극(240)과, 전원인가선(103)에 접속되어 데이터 신호가 인가되며 컨택홀(255)을 통해 반도체층(220)의 일측단부에 연결되는 소스 전극(260) 및 컨택홀들(255)을 통해 반도체층(220)의 타측단부와 유기 전계 발광 소자(300)에 연결되어 유기 전계 발광소자(300)에 구동전원을 인가하는 드레인 전극(265)으로 구성된다.

<47> 한편, 유기 전계 발광 소자(300)는 화소영역(130) 중에서 제 1 및 제 2 TFT(110,200)와 충전용 캐패시터(170)가 형성된 영역을 제외한 나머지 영역에 형성되고 전류의 흐름에 의해 적색, 녹색, 청색의 빛을 자체적으로 발산시켜 소정의 화상 정보를 표시하는 부분으로, 도 9를 참조하면 제 2 TFT(200)의 반도체층(220)으로부터 소정거리 이격되어 절연기판(105)의 상부면에 형성되고 제 2 TFT(200)의 드레인 전극(265)과 연결되어 제 2 TFT(200)로부터 플러스 전원을 공급받는 애노드 전극(310), 화소영역(130)를 덮으며 마이너스 전원이 공급되는 캐소드 전극(330) 및 애노드 전극(310)과 캐소드 전극(330) 사이에 형성되어 전류의 흐름에 의해 소정 색의 빛을 발산하는 발광 소자층(320)으로 구성된다.

<48> 도 9 및 도 10을 참조하면, 애노드 전극(310)과 반도체층(120,220)의 상부면에는 게이트 절연막(230)이 형성되고, 게이트 전극(140,240)과 제 1 전극(173)의 상부면에도 층간 절연막인 층간 절연막(250)이 형성되며, 층간 절연막(250)과 제 2 전극(177)의 상부면

에는 하부층의 굴곡을 평탄화시키고 하부전극과 상부전극을 절연시킴과 아울러 제 1 및 제 2 TFT(110,200)와 충전용 캐패시터(170)를 외부환경으로부터 보호하는 평탄화 보호막(270)이 형성된다.

<49> 그리고, 도 6과 도 10에 도시된 바와 같이 층간 절연막(250) 중에서 각 반도체층(120,220)의 양단과 대응되는 부분, 제 1 전극(173)과 대응되는 부분 및 애노드 전극(310)의 소정부분과 대응되는 소정부분에는 컨택홀들(255)이 형성되며, 도 8에 도시된 바와 같이 평탄화 보호막(270) 중에서 애노드 전극(310)과 대응되는 부분에는 애노드 전극(310)을 게이트 절연막(230)과 층간 절연막(250) 및 평탄화 보호막(270)의 외부로 노출시켜 빛 반사 손실을 최소화시키는 화소용 컨택홀(275)이 형성된다.

<50> 이와 같이 구성된 유기 전계 발광 표시장치의 제조 방법을 첨부된 도면 도 1과 도 10을 참조하여 설명하면 다음과 같다.

<51> 도 2 내지 도 9는 도 1을 A-A선으로 절단하였을 때 나타나는 제 2 TFT와 유기 전계 발광 소자의 제조 과정을 도시한 것이고, 도 10은 도 1을 X-X선을 따라 절단한 도면으로, 이하 제 2 TFT와 유기 전계 발광 소자의 제조 과정을 중심으로 설명하며, 도면 번호도 제 2 TFT와 유기 전계 발광 소자를 중심으로 부여한다.

<52> 먼저, 도 2a에 도시된 바와 같이 절연기판(105)의 상부면 전체에 절연기판(105)에서 형성된 불순물의 유입을 막아주는 버퍼층(210)을 형성하고, 버퍼층(210)의 상부면에 빛을 투과시키는 투명한 금속(310a)을 증착시킨 후에 마스크를 이용하여 투명한 금속(310a)을 패터닝함으로써 도 2b에 도시된 바와 같이 유기 전계 발광소자(300)가 형성될 부분에 애노드 전극(310)을 형성한다.

- <53> 이어, 도 3a에 도시된 바와 같이 애노드 전극(310)을 덮도록 절연기판(105)의 전면에 비정질 실리콘을 도포하고, 도포된 비정질 실리콘을 열처리하여 폴리 실리콘(220a; poly-Si)으로 만든 후에, 폴리 실리콘(220a)을 패터닝하여 도 3b와 도 10에 도시된 바와 같이 제 1 TFT(110)와 제 2 TFT(200)가 형성될 소정부부에 반도체층(120, 220)을 형성한다.
- <54> 이후에, 도 4에 도시된 바와 같이 반도체층(120, 220)과 버퍼층(210)을 덮도록 반도체층(220)의 상부면에 소정의 절연물질, 예를 들어 SiNx 물질(230a)을 도포하여 반도체층(220)과 상부층을 전기적으로 절연시키는 게이트 절연막(230)을 형성한다.
- <55> 그리고, 도 5a에 도시된 바와 같이 게이트 절연막(230)의 상부면에 게이트 메탈(240a)을 증착시키고, 마스크를 이용하여 게이트 메탈(240a)을 패터닝한다. 그러면, 도 5b와 도 10에 도시된 바와 같이 게이트 절연막(230) 중에서 반도체층(120, 220)의 중앙과 대응되는 부분에 소정크기를 갖는 게이트 전극(140, 240)이 형성되고, 도 10에 도시된 바와 같이 제 1 TFT(110)의 게이트 전극(140)과 제 2 TFT(200)의 게이트 전극(240) 사이의 소정부부에 충전용 캐패시터(170)의 제 1 전극(173)을 형성한다.
- <56> 게이트 전극(240)이 형성되면, 절연기판(105)의 전면에 절연물질을 도포하여 게이트 전극(240)을 상부전극으로부터 절연시킴과 아울러 제 1 전극(173)과 대응되는 부분에서는 유전체(175)로 사용되는 층간 절연막(250)을 형성한다. 그리고, 층간 절연막(250) 중에서도 도 6과 도 10에 도시된 바와 같이 각각의 반도체층(120, 220)의 양측단부와 대응되는 소정부분과, 도 10에 도시된 바와 같이 제 1 TFT(110)의 제 1 전극(173)과 대응되는 소정부분 및 도 6에 도시된 바와 같이 애노드 전극(310)과 대응되는 소정부분에 마스크를 이용하여 콘택홀들(255)을 뚫는다.

- <57> 이후에, 여러개의 컨택홀들(255)이 형성된 도 7a에 도시된 바와 같이 층간 절연막 (250)의 상부면에 소스/드레인 메탈(260a)을 증착시키고, 마스크를 이용하여 소스/드레인 메탈(260a)을 사진 식각한다.
- <58> 그러면, 도 7b와 도 10에 도시된 바와 같이 제 1 TFT(110)가 형성될 부분과 제 2 TFT(200)가 형성될 부분에는 소스/드레인 전극(160,260)(165,265)이 형성되고, 도 10에 도시된 바와 같이 충전용 캐패시터(170) 즉, 제 1 전극(173)과 대응되는 부분에는 제 2 전극(177)이 형성된다.
- <59> 여기서, 도 10에 도시된 바와 같이 제 1 TFT(110)의 소스전극(160) 일단은 데이터선 (102)과 연결되고 소스 전극(160)의 타단은 컨택홀을 통해 반도체층(120)의 일측단부와 연결되며, 제 1 TFT(110)의 드레인 전극(165) 일단은 컨택홀을 통해 반도체층(120)의 타 측단부에 연결되고 드레인 전극(165)의 타단은 컨택홀을 통해 제 1 전극(173)에 연결된다.
- <60> 그리고, 도 7b에 도시된 바와 같이 제 2 TFT(200)의 소스전극(260) 일단은 전원인가 선(103)과 연결되고 소스 전극(260)의 타단은 컨택홀(255)을 통해 반도체층(220)의 일측 단부와 연결되며, 제 2 TFT(200)의 드레인 전극(265) 일단은 컨택홀(255)을 통해 반도체 층(220)의 타측단부에 연결되고 드레인 전극(265)의 타단은 컨택홀(255)을 통해 애노드 전극(310)에 연결된다.
- <61> 상술한 바와 같이 소스/드레인 메탈(260a)의 패터닝으로 소스/드레인 전극(260,265) 이 형성되면, 하부막을 평탄화시키고 제 1 TFT(110)와 제 2 TFT(200) 및 충전용 캐패시터 (170)를 외부환경으로부터 보호하기 위해서 소스/드레인 전극(160,260)(165,265)과 제 2 전극(177)을 덮도록 소정의 절연물질을 두겹게 도포하여 평탄화 보호막(270)을 형성한다.

- <62> 이어, 마스크를 이용하여 평탄화 보호막(270)의 상부면 중에서 애노드 전극(310)과 대응되는 부분에 소정크기를 갖는 화소용 컨택홀(275)을 형성함으로써, 게이트 절연막(230)과 층간 절연막(250) 및 평탄화 보호막(270)의 외부로 애노드 전극(310)을 노출시킨다.
- <63> 평탄화 보호막(270)에 화소용 컨택홀(275)이 형성되면, 화소용 컨택홀(275)을 포함하여 화소용 컨택홀(275)의 주변 소정부분까지 소정 색을 갖는 유기 물질을 도포함으로써, 전류의 흐름에 의해 소정 색의 빛을 자체적으로 발산하는 발광 소자층(320)을 형성한다.
- <64> 도 4에서는 상세하게 도시되어 있지 않지만 발광 소자층(270)은 정공 수송층과 발광층 및 전자 수송층으로 구성된다. 정공 수송층은 애노드 전극(310)으로부터 주입된 정공을 발광층으로 전달하고, 전자 수송층은 후술될 캐소드 전극에서 주입된 전자를 발광층으로 전달하며, 발광층은 수송된 정공과 전자를 재결합시켜 빛을 발산시킨다. 즉, 정공과 전자가 재결합하면 발광층을 형성하는 유기 분자들이 여기되면서 여기자가 방사되고, 방사된 여기자가 비활성화되면서 발광층으로부터 빛이 발산되는 것이다.
- <65> 앞에서 설명한 구성을 갖는 발광 소자층(320)이 형성되면, 발광 소자층(320)과 평탄화 보호막(270)을 덮도록 발광 소자층(320)의 상부에 캐소드 메탈을 증착함으로써, 마이너스 전원이 인가되며 발광 소자층(320)에 전자를 공급하는 캐소드 전극(330)을 형성한다.
- <66> 한편, 앞에서 설명한 신호선들 중에서 게이트선들(101)은 게이트 전극(140,240) 및 제 1 전극(173)이 형성될 때 함께 형성되고, 데이터선들(102) 및 전원인가선들(103)은 소스/드레인 전극(160,260)(165,265)과 제 2 전극(177)이 형성될 때 함께 형성된다.

- <67> 이상에서 설명한 과정을 거쳐 유기 전계 발광 표시장치(300)를 제조할 경우에 총 6개의 마스크가 사용된다.
- <68> 마스크가 사용되는 공정은 애노드 전극(310)을 형성하는 공정, 반도체층(120,220)을 형성하는 공정, 게이트 전극(140,240) 및 제 1 전극(173)을 형성하는 공정, 게이트 절연막(230)과 층간 절연막(250)을 뚫어 콘택홀(255)을 형성하는 공정, 소스/드레인 전극(160,260)(165,265) 및 제 2 전극(177)을 형성하는 공정 및 평탄화 보호막(270)에 화소용 콘택홀(275)을 형성하는 공정이다.
- <69> 한편, 애노드 전극(310)을 절연기판(105)의 상부면에 곧바로 형성하고, 애노드 전극(310)을 덮고 있는 게이트 절연막(230)과 층간 절연막(250)을 평탄화 보호막(270)에 화소용 콘택홀(275)을 형성하는 공정에서 제거함으로써, 발광 소자층(320)에서 발산된 빛이 애노드 전극(310)을 통하여 곧바로 절연기판(105)의 외부로 투과된다. 따라서, 종래에서 애노드 전극의 하부면에 형성되며 매질의 차이로 각 경계면에서 빛을 반사시키던 절연막들이 애노드 전극(또는 화소용 전극)과 대응되는 부분에 형성된 화소용 콘택홀에 의해 제거됨으로써, 빛의 투과율이 향상된다.

【발명의 효과】

- <70> 이상에서 설명한 바와 같이 본 발명은 절연기판의 상부면에 반도체층을 형성하는 실리콘을 도포하기 전에 빛을 투과시키는 투명한 금속을 먼저 증착하여 애노드 전극을 형성하고, 애노드 전극을 덮는 여러층의 절연막들을 화소용 콘택홀을 형성하는 공정에서 모두 제거함으로써 빛의 효율성을 향상시킬 수 있는 효과가 있다.

- <71> 또한, 반도체층과 소스/드레인 전극을 연결시키는 컨택홀을 형성할 때 드레인 전극과 화소용 전극을 연결시키는 컨택홀을 함께 형성함으로써 TFT를 제조하는데 사용되는 마스크의 개수가 줄어든다. 그러므로, 평판 표시장치의 공정시간이 단축되고, 제조 공정 수가 줄어들어 제품의 수율을 향상시킬 수 있는 효과가 있다.
- <72> 또한, 화소용 전극이 소스/드레인 전극보다 하부층에 형성되기 때문에 화소용 전극을 에칭하는 에칭용액으로부터 소스/드레인 전극을 보호할 수 있는 효과가 있다.
- <73> 본 발명은 상술한 유기 전계 발광 표시장치에만 적용되는 것이 아니라 적어도 한 개 이상의 TFT를 갖는 평판 표시장치에 모두 적용 가능하다.

【특허청구범위】

【청구항 1】

기관 상에 신호선들과, 화소와, 적어도 1개 이상 형성되는 TFT 및 상기 TFT와 전기적으로 연결되어 빛을 투과시키는 화소용 전극을 포함하는 평판 표시 장치에 있어서,

상기 화소용 전극은 기관의 상부면에 형성되고,

상기 TFT는

상기 기관의 상부면에 상기 화소용 전극과 소정간격 이격되어 형성되는 반도체층;

상기 반도체층의 상부에 형성되어 상기 반도체층과 상부전극을 절연시키는 게이트 절연막;

상기 게이트 절연막의 상부면 중에서 상기 반도체층과 대응되는 소정부분에 형성되는 게이트 전극;

상기 게이트 전극의 상부에 형성되어 상기 게이트 전극과 상부전극을 절연시키며, 상기 반도체층의 양측 단부 소정부분과 상기 화소용 전극의 소정부분이 외부로 노출되도록 컨택홀들이 형성된 층간 절연막;

상기 층간 절연막의 상부면 중에서 상기 반도체층의 일측 단부와 대응되는 부분에서 소정의 상기 신호선까지 연장 형성되고, 상기 컨택홀을 통해 상기 반도체층에 연결되는 소스전극;

일단이 상기 컨택홀을 통해 상기 반도체층의 타측과 연결되고 타단이 상기 화소용 전극과 연결되는 드레인 전극을 포함하며,

상기 화소용 전극과 대응되는 부분에는 상기 화소용 전극을 상기 게이트 절연막과 상기 층간 절연막의 외부로 노출시켜 빛의 손실을 방지하는 화소용 콘택홀이 소정크기로 형성되는 것을 특징으로 하는 평판 표시 장치.

【청구항 2】

기판 상에 게이트선들, 데이터선들 및 전원인가선들이 매트릭스 형태로 배열되는 신호선들과, 상기 신호선들의 교차영역에 형성되어 정보를 표시하는 화소영역 및 상기 화소영역 내에 형성되며 상기 신호선들과 연결되는 제 1, 제 2 TFT와, 상기 제 1, 제 2 TFT와 전기적으로 연결되는 충전용 캐패시터 및 상기 제 2 TFT와 전기적으로 연결되며 전류의 흐름에 의해 빛을 자체적으로 발산하는 유기 전계 발광 표시 소자를 포함하는 평판 표시 장치에 있어서,

상기 제 1 및 제 2 TFT는

상기 기판의 상부면에 상기 신호선들과 인접하게 형성되는 반도체층;

상기 반도체층의 상부에 형성되어 상기 반도체층과 상부전극을 절연시키는 게이트 절연막;

상기 게이트 절연막의 상부면 중에서 상기 반도체층과 대응되는 소정부분에 형성되는 게이트 전극;

상기 게이트 전극의 상부에 형성되어 상기 게이트 전극과 상부전극을 절연시키며, 상기 반도체층의 양측 단부 소정부분과 상기 화소용 전극의 소정부분이 외부로 노출되도록 콘택홀들이 형성된 층간 절연막;

상기 층간 절연막의 상부면 중에서 상기 게이트 전극을 기준으로 상기 반도체층의 일측 단부와 타측 단부에 각각 형성되고 상기 컨택홀을 통해 상기 반도체층과 충전용 캐패시터 및 유기 전계 발광표시소자와 연결되는 소스/드레인 전극을 포함하며,

상기 충전용 캐패시터는

상기 게이트 전극과 함께 형성되며, 상기 컨택홀을 통해 상기 제 1 TFT의 드레인 전극과 연결되는 제 1 전극;

상기 제 1 전극의 상부면에 형성되는 유전체 및

상기 유전체의 상부면에 형성되고, 소스/드레인 전극과 함께 형성되며 상기 전원인가선에 연결되는 제 2 전극으로 구성되며,

상기 유기 전계 발광 소자는

상기 기판의 상부면에 상기 반도체층과 소정간격 이격되어 형성되며 상기 층간 절연막에 형성된 상기 컨택홀을 통해 상기 제 2 TFT의 드레인 전극과 연결되는 애노드 전극;

상기 게이트 및 층간 절연막 중에서 상기 애노드 전극과 대응되는 부분에 형성되어 빛의 손실을 방지하도록 상기 애노드 전극을 상기 게이트 및 층간 절연막의 외부로 노출시키는 화소용 컨택홀;

상기 화소용 컨택홀에 형성되어 상기 애노드 전극과 접촉되며, 전류의 흐름에 의해 소정 색의 빛을 발광시키는 발광 소자층 및

상기 발광 소자층의 상부면에 형성되는 캐소드 전극을 포함하는 것을 특징으로 하는 평판 표시 장치.

【청구항 3】

제 2 항에 있어서, 상기 소스/드레인 전극 및 상기 제 2 전극의 상부면에는 상기 제 1 및 제 2 TFT와 상기 충전용 캐패시터를 외부환경으로부터 보호하고, 상기 애노드 전극과 대응되는 부분에는 상기 애노드 전극을 외부로 노출시키기 위한 상기 화소용 콘택홀이 형성되는 보호막이 더 형성되는 것을 특징으로 하는 평판 표시 장치.

【청구항 4】

제 2 항에 있어서, 상기 충전 절연막이 상기 충전용 캐패시터의 유전체로 사용되는 것을 특징으로 하는 평판 표시 장치.

【청구항 5】

신호선들과, 적어도 1개 이상의 TFT 및 화소용 전극을 구비하는 평판 표시 장치의 제조방법에 있어서,

기판의 상부면에 빛을 투과시키는 투명한 금속을 도포하고, 상기 투명한 금속을 패터닝하여 상기 화소용 전극을 형성하는 단계;

상기 화소용 전극을 덮도록 상기 기판 상에 실리콘을 도포하고, 도포된 실리콘을 패터닝하여 상기 화소용 전극과 소정간격 이격된 부분에 반도체층을 형성하는 단계;

상기 화소용 전극과 상기 반도체층이 형성된 상기 기판의 전면에 소정의 절연물질을 도포하여 제 1 절연막을 형성하는 단계;

상기 제 1 절연막의 상부면에 게이트 메탈을 증착시키고 상기 게이트 메탈을 패터닝하여 상기 제 1 절연막의 상부면 중에서 상기 반도체층과 대응되는 소정부분에 게이트 전극을 형성하는 단계;

상기 게이트 전극이 형성된 상기 기판의 전면에 절연물질을 도포하여 제 2 절연막을 형성하는 단계;

상기 제 2 절연막 중에서 상기 반도체층의 양측 단부와 대응되는 소정부분에 콘택홀을 형성하여 상기 반도체층의 소정부분을 노출시키고, 상기 화소용 전극과 대응되는 부분에 빛의 효율을 상승시키기 위한 화소용 콘택홀을 형성하여 상기 제 1 및 제 2 절연막의 외부로 상기 화소용 콘택홀을 노출시키는 단계;

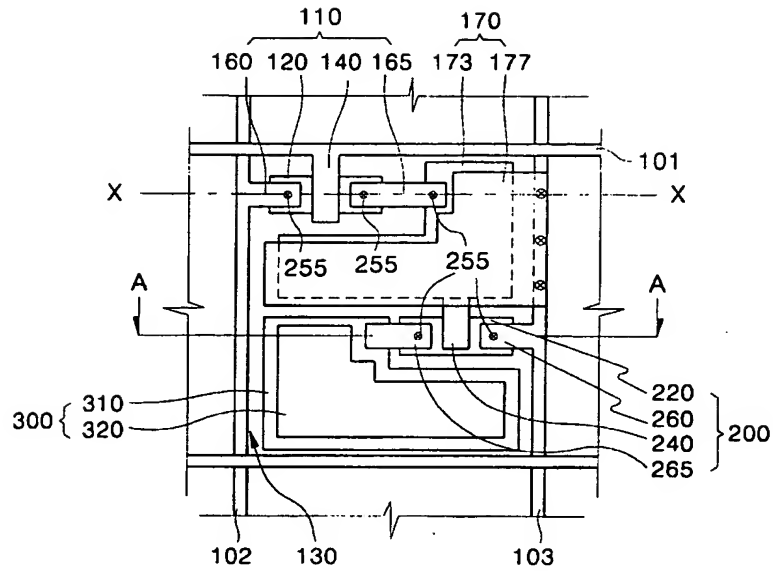
상기 콘택홀이 형성된 상기 제 2 절연막의 상부면에 소스/드레인 메탈을 증착시키고, 상기 소스/드레인 메탈을 패터닝하여 상기 반도체층의 양측에 상기 콘택홀을 통해 상기 반도체층과 연결되며 상기 화소용 전극과 직접 연결되는 소스/드레인 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 평판 표시 장치의 제조 방법.

【청구항 6】

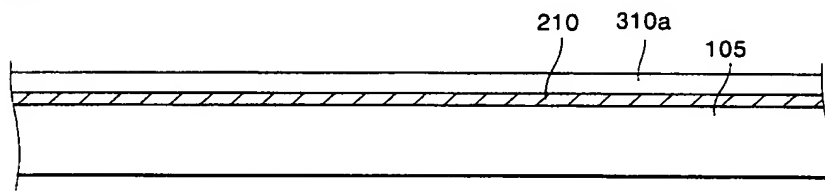
제 5 항에 있어서, 상기 기판과 상기 반도체층 사이에는 상기 기판에서 형성된 불순물들이 상기 반도체층으로 유입되는 것을 방지하기 위한 버퍼층이 더 형성되는 것을 특징으로 하는 평판 표시 장치의 제조 방법.

【도면】

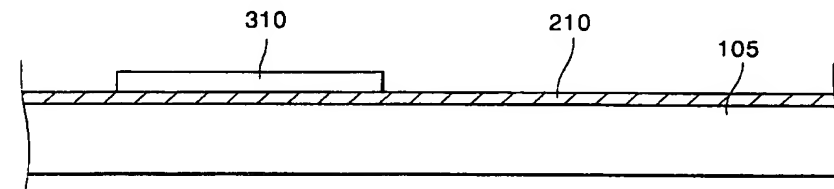
【도 1】



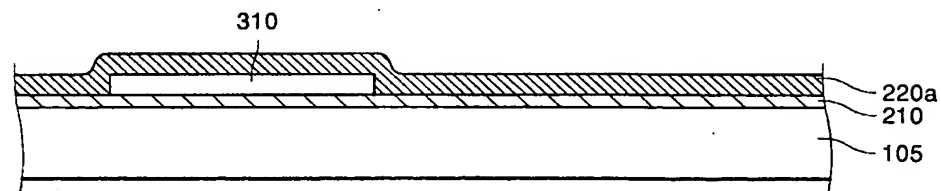
【도 2a】



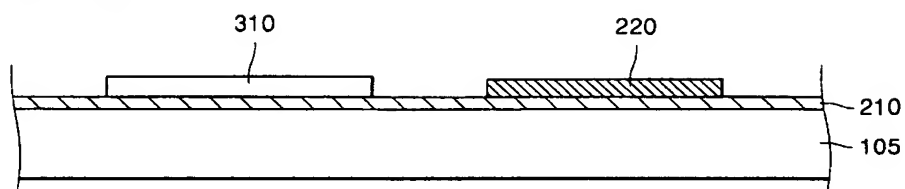
【도 2b】



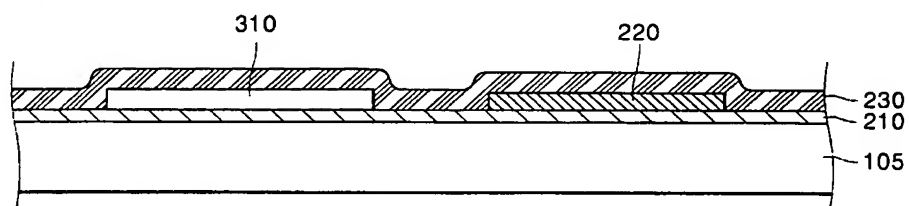
【도 3a】



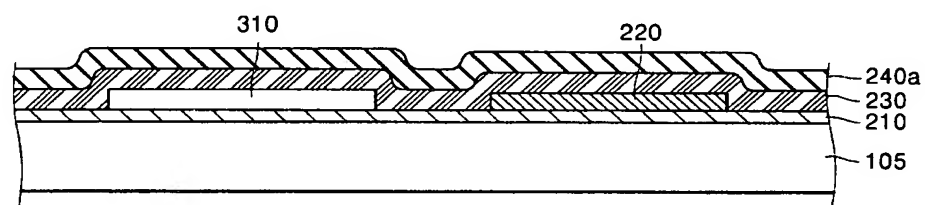
【도 3b】



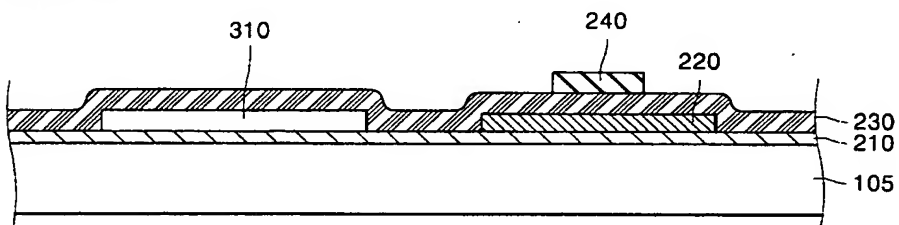
【도 4】



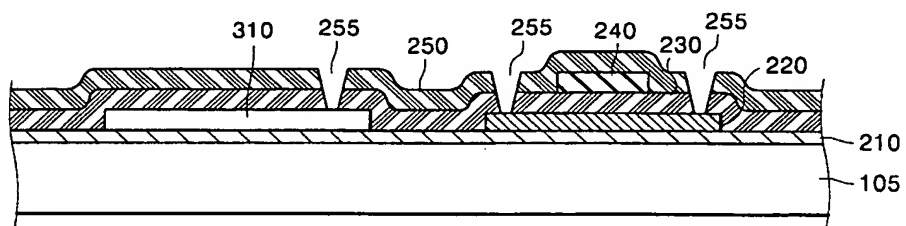
【도 5a】



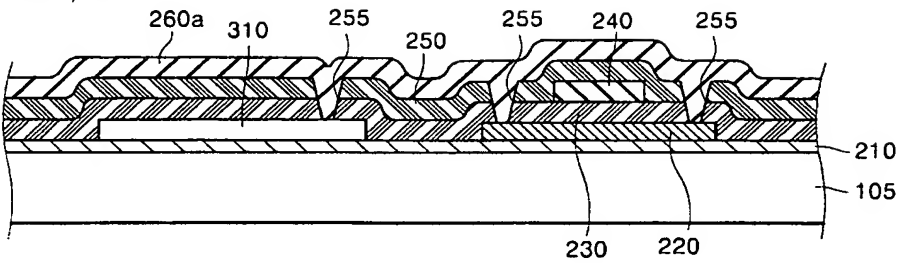
【도 5b】



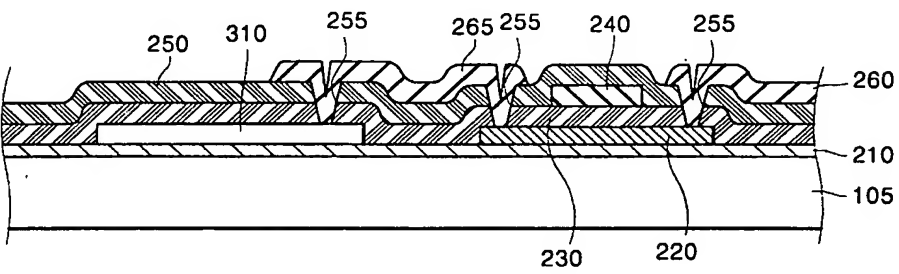
【도 6】



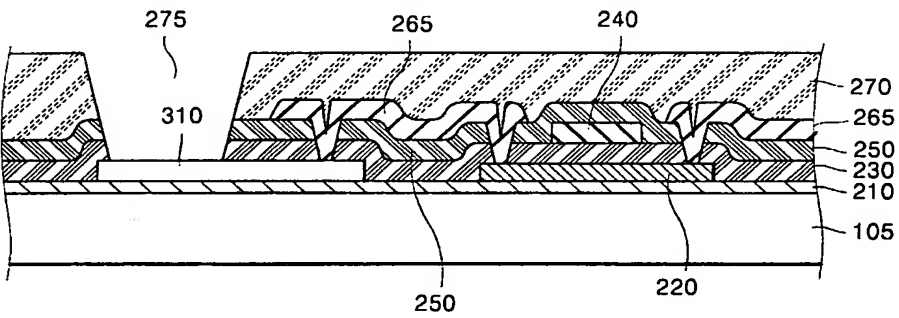
【도 7a】



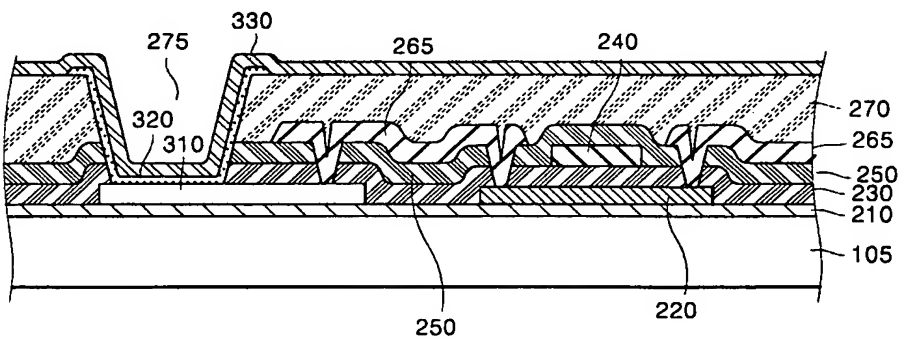
【도 7b】



【도 8】



【도 9】



This cross-sectional view shows a semiconductor device with a substrate 105 and a base layer 210. A patterned layer 170 is formed on the base layer 210, with a central layer 175 and side layers 177 and 173. The patterned layer 170 is surrounded by a material 250, which is further covered by a layer 230. A top layer 270 is also present. Other labels include 120, 160, 165, 140, 255, and 250, indicating various structural components and interfaces.